Format des données du SSD et fonctionnement de la DAQ

1. Volume des données

A la sortie des ASIC, les valeurs ADC sont codées sur 8 bits. Pour conserver une information complète sur l'origine de la valeur il faut coder :

- le numéro de la carte DAQ (4 en tout – coté n ou p du clamshell 1 ou 2) codé sur 2 bits
- le numéro de la mezzanine (3) codé sur 2 bits
- le numéro de l'ASIC (6) codé sur 3 bits
- le numéro de l'anode (128) codé sur 7 bits
- le numéro du paquet de temps (128) codé sur 7 bits
- la valeur ADC codé sur 8 bits

Soit au total 29 bits arrondi à 32 bits (un mot machine) soit 4 Octets. Si on lit tout les données du SSD on obtient :

4*320*2*768 = 1966080 Octets = 2 Mo

En supposant 10 pistes avec signal par détecteur on obtient :

4*320*2*10 = 25600 Octets = 25 ko

En supposant le double de taux d'occupation (20 pistes par face) on obtient 50 ko.

Pour une description synthétique des différents éléments de la chaîne d'acquisition du SSD, se référer à la figure à la fin de ce document.

2. Format des données

Les donnée du SSD peuvent être transmise par la DAQ selon deux formats complètement opposés :

1 – un format "plat" :

Les données transmises sont mises dans une seule banque, les unes à la suite des autres et sans ordre particulier. Ce format est adapte lorsque par la suite tout l'événement est lu et lorsque la vitesse d'écriture est un facteur important.

2 – un format "structuré" :

Les données sont rangées en banques. Toutes les données appartenant par exemple à une même mezzanine ou un même ASIC sont rangées dans une banque. Le nombre de banques dépend de la profondeur de la structure que l'on veut former. Si la structure s'arrête au niveau des mezzanines il faut 4*3=12 banques, si la structure descend jusqu'au niveau de l'ASIC il faut 4*3*6=72 banques (dont 32 seront vides 1 asic par mezzanine et une mezzanine par carte sont remplis avec des zéros). Ce format est adapté à une lecture systématique et répétée d'une partie limitée des données. C'est par exemple le cas lors de la phase de déverminage du SSD lorsque l'on regarde systématiquement le même détecteur ou la même échelle. La profondeur de la structure idéale pour le SSD est à décider. Il faut savoir qu'un ASIC reçoit l'information d'une des faces de tous les détecteurs d'une échelle et qu'un ADC digitalise une demi−échelle entière (correspondance 1 ADC − 1 ASIC). Une structure plus détaillée entraînerait également une multiplication des banques. A priori, la décision doit se faire entre une structure au niveau des mezzanines ou au niveau des ASICs, avec une préférence pour la dernière.

3. Mode de fonctionnement de la DAQ

On peut anticiper trois modes de fonctionnement de la DAQ du SSD :

1 − Entrée : données brutes ⇒ Sortie : données brutes

En gros le mode utilisé au début de l'installation du SSD pour regarder ce qui vit. Le format a priori le plus adapté pour ce mode est celui structuré pour rapidement accéder aux données d'une échelle par exemple.

Le volume des données est de l'ordre de 2 Mo/événement à la taille des entêtes de banques près.

Le taux d'acquisition de ce type de données est de 5 Hz maximum en supposant que la bande passante vers HPSS (vitesse d'écriture sur bande) est entièrement utilisée par le SSD.

2 − Entrée : données brutes ⇒ Sortie : données supprimées

Le mode de fonctionnement standard du SSD en période de prise de données. On récupère en principe dans ce cas toutes les données le plus rapidement possible privilégiant un format "plat" des données.

Le volume correspondant est de l'ordre de 50 ko/événement (20 pistes par face).

Le taux d'acquisition varie entre 100 Hz (le Gigalink) et 1 Hz (la DAQ vers HPSS avec la TPC)

3 *− Entrée : données brutes ⇒ Sortie : piédestaux, bruits*

Le mode de fonctionnement de calibration des détecteurs du SSD utilisé de façon intermittente. Les piédestaux et les bruits sont calcules sur un échantillon d'événements et sont les seules données à sortir de la DAQ dans ce cas. Le format de données le plus adapté semble être celui en structure sachant qu'après une telle prise de données on voudra vérifier les valeurs obtenues détecteur par détecteur. La taille de chaque donnée est alors de 32 bits pour l'adresse, 2 réels flottants codées sur 32 bits pour le piédestal et le bruit.

Le volume correspondant est de 6 Mo/run (un seul événement sauvé).

Le taux d'acquisition est donné par la puissance des ASIC ou de la Gigalink.

4. Parties de code à constituer pour la DAQ du SSD

5 morceaux importants de code sont à constituer pour la DAQ du SSD.

1 – *Fonction de compression 10 bits ⇒ 8 bits*
Cette partie a été fortement dégrossie par un étudiant de l'EMN lors de son stage durant l'été 2000 (voir son rapport de stage). Il reste à fixer les paramètres des fonction ce qui ne pourra ce faire qu'avec les détecteurs en fonctionnement.
Cette tache est réalisée dans les ASICs.

2 – *Suppression des piédestaux*
Cette partie reste à faire. Il faut peut être prévoir deux modes de fonctionnement de ce code : suppression sur des valeurs non nulles et sur des valeurs nulles (pour le mode 1 et 3 de prise de données). A priori la fonction est la même et la nécessité de deux codes différents superflue.
Cette tache est réalisée dans les ASICs.

3 – Calcul des piédestaux et des bruits
Cette partie reste à faire.
Cette tache est réalisée dans les Intel 960.

4 – Formatage des données
Cette partie reste à faire. On doit prévoir deux types de formatage des données (plat et structuré) impliquant deux codes différents.
Cette tache est réalisée dans les Intel 960.

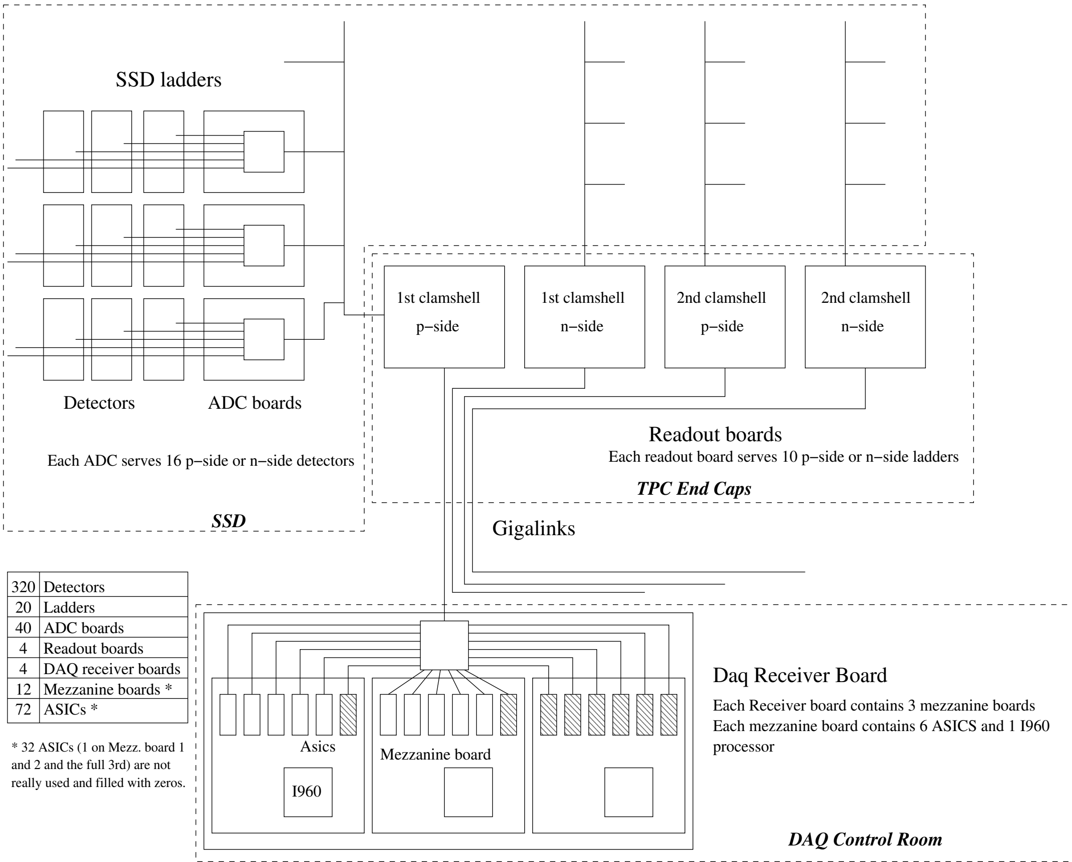
5 – Initialisation des éléments de la DAQ
Cette partie reste à faire. Lors d'une prise de données standard (suppression des zéros) la façon dont les piédestaux et les seuils sont initialisés n'est toujours pas claire. Elle doit être déterminée avant l'écriture proprement dite du code.
Cette tache est réalisée dans les Intel 960.

5. Interface avec le code Offline/Online

La partie cruciale de cette interface est la(les) fonction(s) de conversion du codage DAQ (mezzanine,ASIC,...) vers un codage de géométrie (détecteur,face,piste). Les différents éléments pour fabriquer cette fonction existent et doivent être assemblés.

Là encore, il faut anticiper une version de cette fonction adaptée aux deux formats de données envisagés.

6. Schéma synthétique de la chaîne d'acquisition du SSD



320	Detectors
20	Ladders
40	ADC boards
4	Readout boards
4	DAQ receiver boards
12	Mezzanine boards *
72	ASICs *

* 32 ASICs (1 on Mezz. board 1 and 2 and the full 3rd) are not really used and filled with zeros.