

Simulación

- Tipos de simulaciones
- Clasificación de los simuladores
- Simulación dirigida por eventos



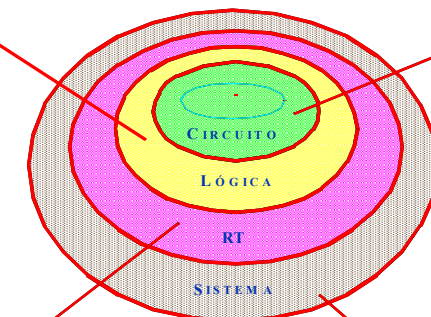
ETSI

Lenguajes de Descripción de Hardware

Programas de CAD que analizan el comportamiento (funcional, lógico o eléctrico) de un circuito basándose en modelos asociados al nivel correspondiente.

nivel de puertas
nivel de conmutación

nivel eléctrico



nivel RT

nivel de comportamiento

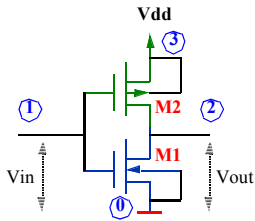


ETSI

Lenguajes de Descripción de Hardware

Simulador Eléctrico

Reproduce el comportamiento **detallado** (I, V) de un sistema formado por la **interconexión** de bloques básicos **componentes**: R, C, L, fuentes, transistores, diodos, etc.)



SPICE

```
Inversor CMOS
M1 2 1 0 0 NMOS L=2U W=4U
M2 2 1 3 3 PMOS L=2U W=4U
VDD 3 0 5V
.MODEL NMOS NMOS LEVEL=1 VTO=0.6
.MODEL PMOS PMOS LEVEL=1 VTO=-0.6
.END
```

Resolver ecuaciones diferenciales no lineales

- Integración numérica
- Resolución de ecuaciones algebraicas no lineales
- Resolución de ecuaciones algebraicas lineales

Limitaciones para grandes circuitos

- El tiempo crece proporcionalmente al cuadrado del número de nudos
- En cada instante, t_k , se resuelven todos los nudos
- El paso de integración, h , depende del nudo más rápido

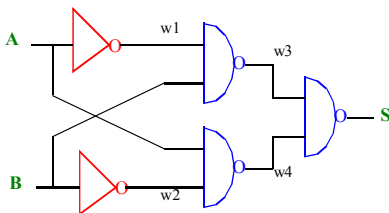


ETSII

Lenguajes de Descripción de Hardware

Simulador Lógico

- ❑ Los transistores se pueden agrupar formando puertas lógicas (simulación gate-level)
- ❑ Los elementos del simulador son puertas: AND, OR, NAND, NOR, etc.
- ❑ Se trabaja con “valores” lógicos discretos y se utilizan operaciones booleanas.
- ❑ Proporcionan cierta información temporal (azares, glitches, carreras críticas, ...)



Hilo

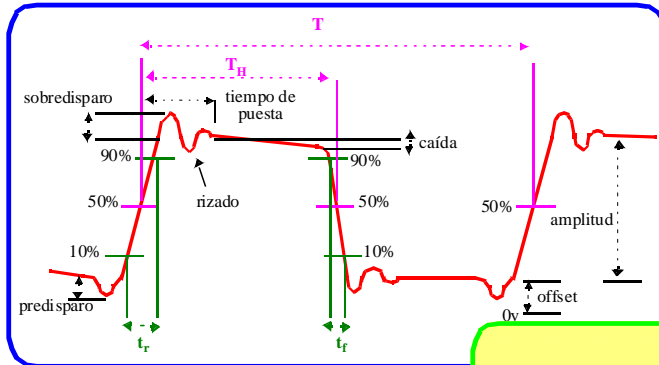
```
CCT ej1 (A,B,S)
  inv (10,10)
    G1 (w1,A)
    G2 (w2,B);
  nand (10,10)
    G3 (w3,w1,B)
    G4 (w4,w2,A)
    G5 (S,w3,w4);
  INPUT A B;
  WIRE w1 w2 w3 w4 .
```



ETSII

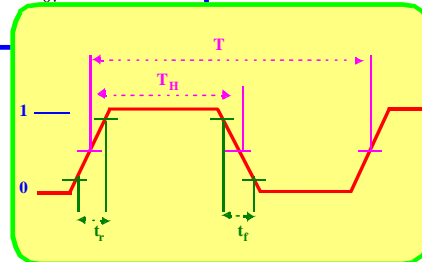
Lenguajes de Descripción de Hardware

Simulador Lógico



Modelo eléctrico-temporal de una señal

Modelo lógico de una señal

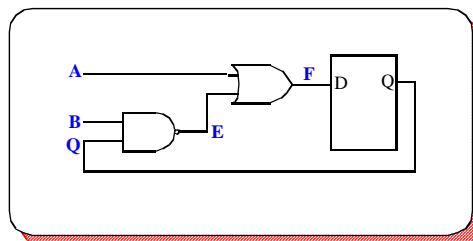


ETSII

Lenguajes de Descripción de Hardware

Simulador Lógico

- ❑ Los algoritmos son **dirigidos por eventos** (*event-driven*), es decir, sólo se procesan los nudos que se ven afectados por cambios en las entradas.
- ❑ Existen varias alternativas en función:
 - número de estados (0, 1, X, Z, ...)
 - modelos de retraso de puertas (retraso unitario, en función del fan-out, en la subida o bajada, etc)
- ❑ Típicamente de 100-1000 veces más rápidos que un simulador eléctrico

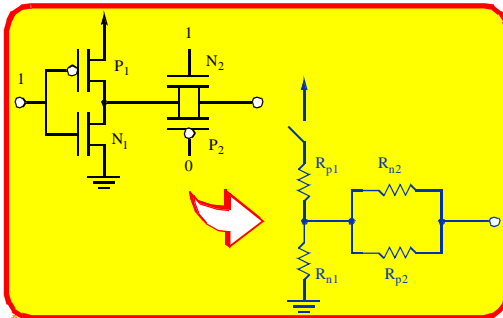


ETSII

Lenguajes de Descripción de Hardware

Simulador Lógico

- ❑ En circuitos digitales MOS existen transistores cuya funcionalidad no está asociada a ninguna puerta lógica (transistores de paso) \Rightarrow **simulación switch-level**.
- ❑ Todos los transistores se modelan como llaves controladas por la tensión de gate.
 - Si está en "ON" (1 lógico) \Rightarrow llave cerrada.
 - Si está en "OFF" (0 lógico) \Rightarrow llave abierta.
- ❑ Se le puede asociar también un peso (*strength*) a cada transistor que modele la conducta cuando la llave este cerrada (dependerá de la geometría W/L del transistor)



- ❑ Se pueden tener en cuenta muchas de las propiedades de circuitos MOS:
 - Bidireccionalidad.
 - Acoplos de carga.
- ❑ La información temporal que suministra resulta útil para:
 - Retraso en el peor caso.
 - Máxima frecuencia de reloj permitida

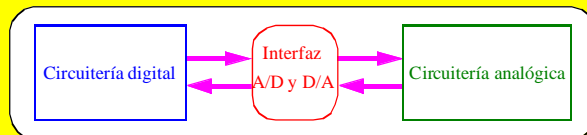


ETSII

Lenguajes de Descripción de Hardware

Simulador Mixto

- ❑ Resultan imprescindibles en la simulación de circuitos
 - análogo /digital**
 - electrical / gate or switch*
- ❑ Se han desarrollado muchos en los últimos años distinguiéndose 2 tipos:
 - o Aproximación **glued** (2 simuladores anteriores independientes)
 - o Aproximación **integrada** (simulador nuevo)



;; VHDL NO PERMITE SIMULACIÓN MIXTA!! \Rightarrow **VHDL-AMS**



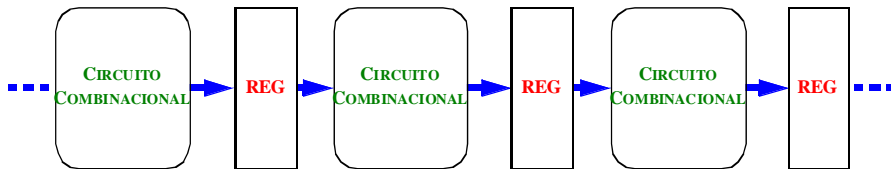
ETSII

Lenguajes de Descripción de Hardware

Simulador RT

- ❑ Los componentes de un simulador RTL son combinacionales (puertas, multiplexores, decodificadores, etc) y secuenciales (registros, contadores, etc).
- ❑ La descripción de un circuito se realiza mediante un conjunto de secuencias que son similares a la descripción del flujo de datos.
- ❑ La simulación a este nivel no da información de carreras, azares, estados ilegales, etc

Arquitectura de un sistema en el nivel RT



ETSII

Lenguajes de Descripción de Hardware

Simulador funcional o de comportamiento

- ❑ Permiten al diseñador definir bloques funcionales arbitrarios, tanto combinacionales como secuenciales que pueden ser usados en simulación a nivel de sistema.
- ❑ Las descripciones se suelen hacer en lenguajes de alto nivel:
 - ✓ Lenguajes de descripción de hardware (HDL): VHDL, Verilog, etc.
 - ✓ Lenguajes de programación: C++, ADA, etc.
- ❑ El particionado del sistema puede no corresponder con unidades funcionales hardware (simulación de comportamiento, *behavioral*).
- ❑ Dan información del comportamiento global de un diseño en los niveles más altos de la jerarquía.
 - Ejemplos:
 - Verificación de la temporización de una CPU.
 - Verificación de un protocolo de comunicación.
 - Validación de operaciones de un controlador.



ETSII

Lenguajes de Descripción de Hardware

Análisis de rendimiento

- ❑ Los modelos de rendimiento constituyen el nivel de mayor abstracción de los sistemas electrónicos. El análisis de rendimientos se utiliza para estudiar la capacidad global de procesamiento de información de un sistema.
- ❑ El objetivo es identificar las principales unidades funcionales y definir su forma de actuación para transformar datos de entrada en datos de salida.
- ❑ En este nivel las unidades funcionales corresponden a bloques que son capaces de realizar una determinada tarea en un cierto tiempo.
- ❑ El análisis de rendimientos se caracteriza porque no se interpretan los datos o sus transformaciones, solo interesa los balances de tiempo de las funciones que intervienen en el sistema



Clasificación de los simuladores

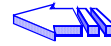
- ✚ en función del control de la simulación
- ✚ en función de la implementación
- ✚ en función de la estructura del circuito



Clasificación de los simuladores

en función del control

Cada elemento del circuito es evaluado en cada instante de tiempo produciendo un nuevo estado del circuito para cada instante.



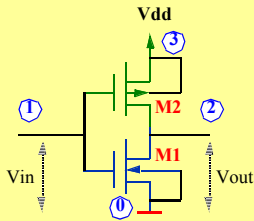
Tiempo continuo

Dirigido por eventos

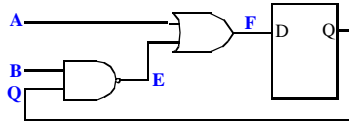


Los cambios en el estado del circuito son almacenados y sólo son simulados aquellos elementos que pueden causar algún cambio en dicho estado en un determinado instante.

Simulación eléctrica



Simulación lógica



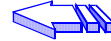
ETSII

Lenguajes de Descripción de Hardware

Clasificación de los simuladores

en función de la implementación

Se crea una estructura de datos que represente al circuito. Durante la simulación se requiere recorrer dicha estructura.



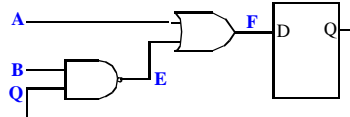
Interpretativo

Compilado



El circuito es compilado en código y se utilizan direcciones de memoria para los operandos de cada puerta lógica.

LDA	B
AND	Q
INV	
STA	E
OR	A
STA	F
STA	Q



ETSII

Lenguajes de Descripción de Hardware

Clasificación de los simuladores

en función de la estructura del circuito

Cada elemento del circuito está representado por un único fragmento de código. Cada colocación de un elemento supone añadir el código de dicho elemento.

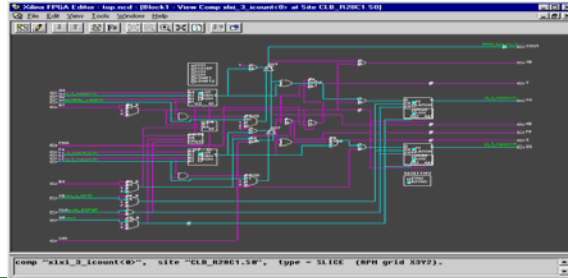


Plano

Jerárquico



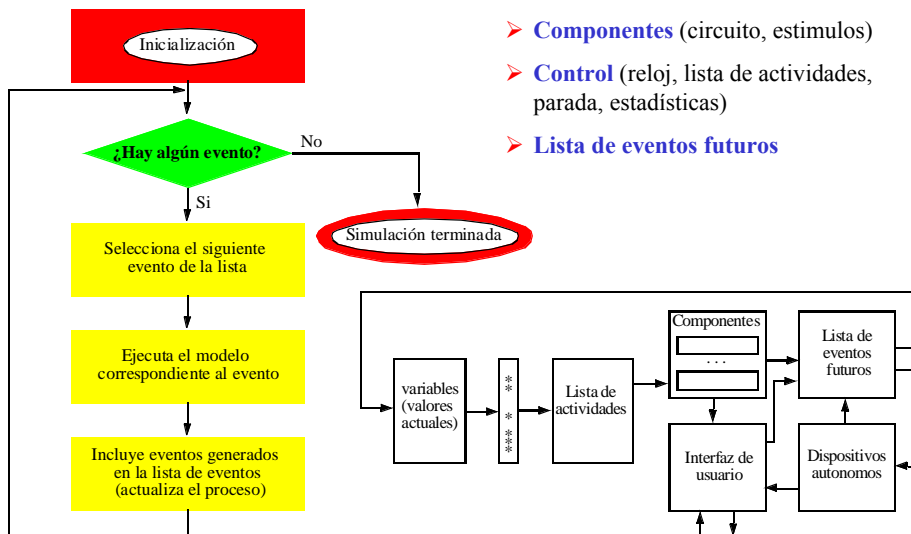
Cada tipo de subcircuito se corresponde con un procedimiento específico de manera que al colocar dicho subcircuito se genera un código que llama al procedimiento que describe la función del subcircuito.



ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos



ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Componentes

La información relativa a cada elemento del circuito está contenida en una **celda descriptora**. Esta celda contiene:

❑ Información permanente:

- punteros a las entradas y salidas
- información descriptiva del elemento que representa
- función que realiza
- valores de retraso

❑ Información variable:

- información de planificación
- valores de las entradas y salidas del elemento

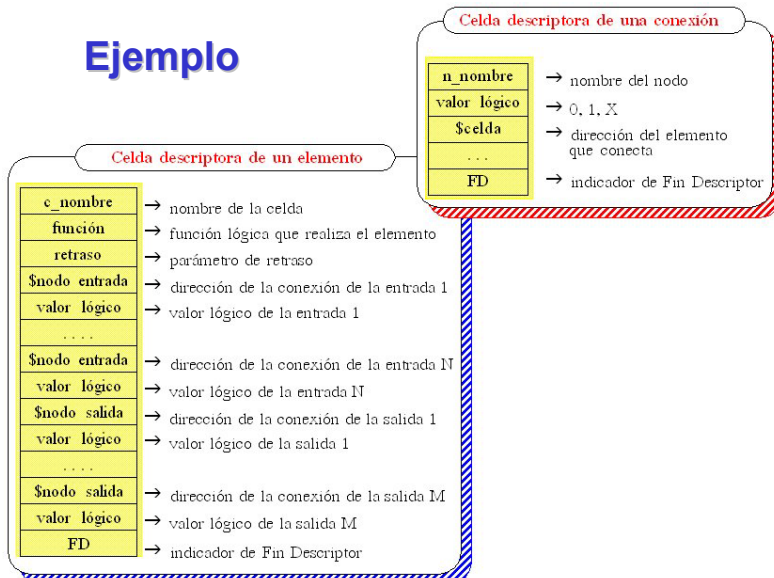


ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Componentes

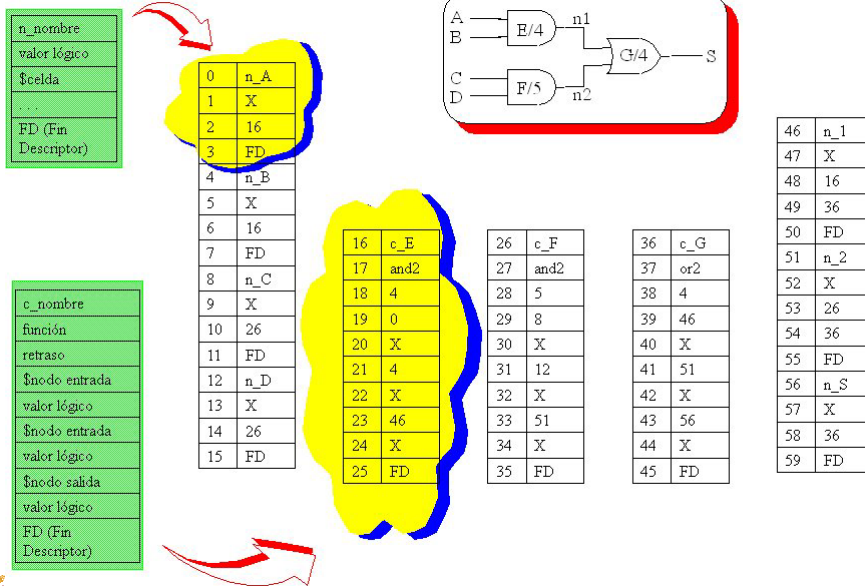
Ejemplo



ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Componentes



ETSI

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Componentes



Durante la simulación se producen dos tipos de eventos:

- ☐ **Eventos exógenos:** estímulos externos que provienen del exterior del sistema.
- ☐ **Eventos endógenos:** se generan en el interior del sistema.



Los **eventos exógenos** se generan haciendo uso del **tiempo entre-llegadas** que es la diferencia de los tiempos entre dos eventos debidos a estímulos externos.

Ejemplo: En el tiempo t de la simulación se calcula el valor del **tiempo entre-llegadas** (a^*) para el siguiente estímulo

$$t^* = t + a^*$$

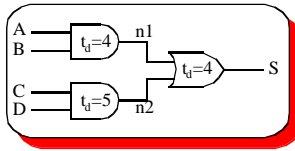
Este método de generación de secuencias de llegadas externas se denomina **“bootstrapping”**



ETSI

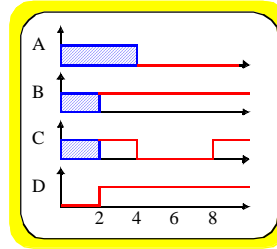
Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Componentes



Descripción del circuito

INPUT A, B, C, D;
OUTPUT S;
WIRE n1, n2;
and (td=4) E(A,B,n1);
and (td=5) F(C,D,n2);
or (td=4) G(n1,n2,S);



Descripción de estímulos

t=0: D=0;
t=2: B=1, C=1, D=1;
t=4: C=0; A=0
t=8: C=1;



ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Control

- ❑ La simulación es un sistema dinámico, esto es, su estado cambia en el tiempo. El tiempo lo representaremos por una variable denominada **CLOCK**.
- ❑ Una simulación dirigida por eventos es el modelado en el tiempo de un sistema en el que todos los cambios de estado se producen en momentos discretos.
- ❑ La simulación procede produciendo una secuencia de fotogramas del sistema que representan su evolución en el tiempo.
- ❑ Un determinado fotograma en un instante determinado (**CLOCK=t**) incluye:
 - ✓ El estado del sistema en el tiempo t .
 - ✓ Una lista (llamada **lista de eventos futuros** o **cola de eventos**) de todas las actividades actualmente en progreso y cuando dichas actividades deben terminar.
 - ✓ El valor actual de las estadísticas y de los contadores que serán usados para calcular el resumen estadístico al final de la simulación



ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Control

❑ Cada simulación tiene un **evento de parada** que define hasta cuando se debe realizar la simulación.

❑ En general hay dos maneras de parar una simulación:

- En el tiempo **CLOCK**=0 se planifica la parada de la simulación en un evento futuro **TE (tiempo final)**. Por lo tanto, antes de empezar la simulación ya es conocido que se va a ejecutar en el intervalo $[0, TE]$.

Ejemplo: simular el circuito entre 0 y 1000 ns.

- **TE** es evaluado en tiempo de simulación. Generalmente ocurrirá cuando se produzca un determinado evento.

Ejemplo: simular hasta que determinada señal valga '1'



ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Lista de Eventos Futuros (LEF)

❑ El mecanismo para hacer avanzar el tiempo de simulación y garantizar que todos los eventos ocurren en el orden cronológicamente correcto se basa en la **lista de eventos futuros**.

❑ Esta lista es un conjunto especial que contiene todos los eventos que se han planificado como eventos que deben ocurrir en un tiempo futuro.

- La planificación de eventos futuros se realiza de la siguiente forma: al iniciar una actividad, en un determinado instante, se calcula

- a) su duración
- b) el evento que se genera en dicha actividad junto con el tiempo de dicho evento.

Estos datos se almacenan en la **lista de eventos futuros**.



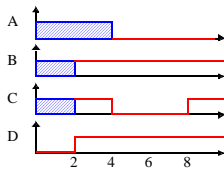
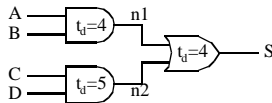
ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Lista de Eventos Futuros (LEF)

- En un determinado instante t la **LEF** contiene todos los eventos que han sido previamente planificados junto con sus tiempos asociados.
- La **LEF** está ordenada cronológicamente por el tiempo de los eventos.

$$t < t_1 \leq t_2 \leq t_3 \leq \dots \leq t_n$$



Cola de eventos en $t=4$

t	evento
5	n2=0
7	n2=1
8	n1=0
8	C=1
9	n2=0

- ✓ El próximo evento que debe ocurrir ($n2=0$ en $t=5$) se denomina **evento inminente**.



ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Lista de Eventos Futuros (LEF)

- Cuando la simulación en **CLOCK**= t se ha completado, el reloj avanza al tiempo del evento inminente (**CLOCK**= t_1).
- El evento inminente es borrado de la **LEF** y es ejecutado.
- La ejecución del evento inminente significa que se crea un nuevo fotograma del sistema para el tiempo t_1 , el cual se basa en el antiguo fotograma en el tiempo t y en la naturaleza del evento inminente.
- En el tiempo t_1 pueden generarse o no nuevos eventos futuros. Si se generase alguno éste es planificado colocándolo en la posición adecuada en la **LEF**.
- Este proceso se repite hasta que se termina la simulación.



ETSII

Lenguajes de Descripción de Hardware

Simulación dirigida por eventos: Lista de Eventos Futuros (LEF)

- ❑ La secuencia de acciones que el simulador debe realizar para avanzar el reloj y crear un nuevo fotograma del sistema es denominado **algoritmo de planificación de eventos/avance del tiempo**.
- ❑ La longitud y contenido de la LEF está cambiando continuamente durante la simulación. Por ello la eficiencia en el manejo de la LEF repercute en las prestaciones del simulador.
- ❑ El manejo de la lista es llamado **procesado de lista**. Las principales operaciones del procesado de lista realizada sobre la LEF son:

- **Borrado** del evento inminente

Como el evento inminente suele estar al principio de la lista su borrado es eficiente.

- **Añadir** un nuevo evento en la lista.

- Eliminar algún evento (denominado **cancelación de eventos**).

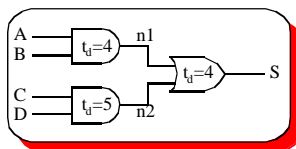
Estas operaciones requieren hacer una búsqueda en la lista. La eficiencia de la búsqueda depende de la organización lógica de la lista y de como dicha búsqueda es conducida.



ETSII

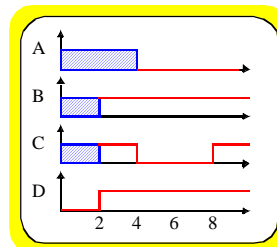
Lenguajes de Descripción de Hardware

Ejemplo de Simulación



Descripción del circuito

INPUT A, B, C, D;
OUTPUT S;
WIRE n1, n2;
and (td=4) E(A,B,n1);
and (td=5) F(C,D,n2);
or (td=4) G(n1,n2,S);



Descripción de estímulos

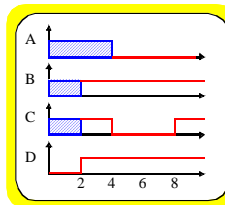
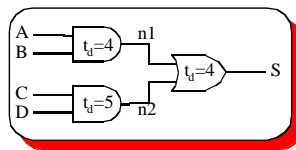
t=0: D=0;
t=2: B=1, C=1, D=1;
t=4: C=0; A=0
t=8: C=1;



ETSII

Lenguajes de Descripción de Hardware

Ejemplo de Simulación



	A	B	C	D	n1	n2	S
t=0	X	X	X	0	X	X	X

t=2	X	1	1	1	X	X	X
-----	---	---	---	---	---	---	---

t=4	0	1	0	1	X	X	X
-----	---	---	---	---	---	---	---

t=5	0	1	0	1	X	0	X
-----	---	---	---	---	---	---	---

LEF

t	2			5
evento	B=1	C=1	D=1	n2=0

t	4		5	7
evento	A=0	C=0	n2=0	n2=1

t	5	7	8	9
evento	n2=0	n2=1	n1=0	C=1
	n2=0			

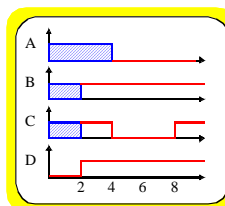
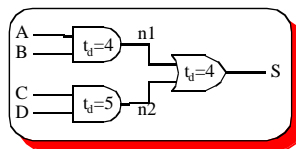
t	7	8		9
evento	n2=1	n1=0	C=1	n2=0



ETSII

Lenguajes de Descripción de Hardware

Ejemplo de Simulación



	A	B	C	D	n1	n2	S
t=7	0	1	0	1	X	1	X

t=8	0	1	1	1	0	1	X
-----	---	---	---	---	---	---	---

t=9	0	1	1	1	0	0	X
-----	---	---	---	---	---	---	---

LEF

t	8		9	11
evento	n1=0	C=1	n2=0	S=1

t	9	11	13
evento	n2=0	S=1	n2=1

En t=12 la salida de S=1. Como en t=11 ya vale S=1 este evento no se añade a la lista.

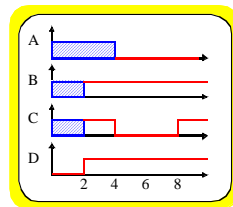
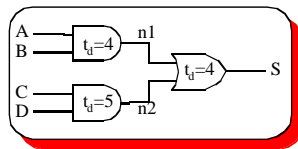
t	11	13	
evento	S=1	S=0	n2=1



ETSII

Lenguajes de Descripción de Hardware

Ejemplo de Simulación



	A	B	C	D	n1	n2	S
t=11	0	1	1	1	0	0	1

t=13	0	1	1	1	0	1	0
------	---	---	---	---	---	---	---

t=17	0	1	1	1	0	1	1
------	---	---	---	---	---	---	---

LEF

t	13
evento	S=0 n2=1

t	17
evento	S=1

t	
evento	

¡ Fin de la simulación !



ETSII

Lenguajes de Descripción de Hardware